

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

02939131 **Image available**

COMPLEMENTARY ANALOG SWITCH

PUB. NO.: **01-236731** [JP 1236731 A]

PUBLISHED: September 21, 1989 (19890921)

INVENTOR(s): KAWADA SHIGERU

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-063856 [JP 8863856]

FILED: March 16, 1988 (19880316)

INTL CLASS: [4] H03K-017/08; H03K-017/60; H01L-027/08

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --
Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 861, Vol. 13, No. 568, Pg. 77,
December 15, 1989 (19891215)

ABSTRACT

PURPOSE: To prevent the malfunction by providing a protecting device including a switch element which is inserted between a signal line connecting two complementary transistor TR gates and a specific potential supply terminal and is controlled to be made conductive for nonconduction of gates.

CONSTITUTION: If a positive excessive input signal is applied to a terminal 10 when CMOS gates 150 and 160 are turned off and the circuit between an analog signal input/output terminal 10 and a common terminal 1 is in the non-connection state, source electrodes 112 and 121 of FET switches 110 and 120 are pulled to a high positive potential together. The PN junction of the switch 110 is forward bias and a partial current flows to a supply voltage terminal VDD by a large positive signal. The absolute value of the voltage between the gate and the source exceeds a threshold voltage by the

large positive signal to the source electrode 112 and the switch 110 is made conductive, and a current path is formed between the source electrode 112 and a drain electrode 113. However the potential of a terminal 102 does not rise because an FET 130 goes to the conductive state and is connected to an earth terminal, and FETs 150 and 160 are turned off as they are, and the excessive input signal does not reach the terminal 1.

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平1-236731

⑬ Int.Cl.*

H 03 K 17/08
17/60
// H 01 L 27/08

識別記号

321

府内整理番号

C-8124-5J
G-8124-5J
L-7735-5F

⑭ 公開 平成1年(1989)9月21日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 相補型アナログスイッチ

⑯ 特願 昭63-63856

⑰ 出願 昭63(1988)3月16日

⑱ 発明者 川田茂 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原晋

明細書

【産業上の利用分野】

本発明は相補型アナログスイッチに関し、特に、モノリシック集積回路上に形成されるCMOSアナログスイッチに関する。

【従来の技術】

従来、モノリシック集積回路にて形成されるアナログ信号入力のマルチプレクサに使用されるスイッチ回路は、アナログ信号入力の入力電圧範囲を広くとれる様にCMOS構造を用い、例えば第4図に示すように、各アナログ信号入出力端子100, 200, ..., n00にそれぞれ接続され、データ回路2からの制御信号180, 280, ..., n80がゲートに印加されたpMOS FETスイッチ150, 250, ..., n50と、制御信号180, 280, ..., n80がそれぞれ入力されたインバータ170, 270, ..., n70の出力である制御信号190, 290, ..., n90がゲートに印加されたnMOS FETスイッチ160, 260, ..., n60とを用いて構成されており、通常静電気にに対する保護のため、各入力端子にダイオードと並

1. 発明の名称

相補型アナログスイッチ

2. 特許請求の範囲

少なくとも1つのアナログ信号端子と他のアナログ信号端子との間に挿入された相補トランジスタ。ゲートを備えてなる相補型アナログスイッチにおいて、前記相補トランジスタ。ゲートと直列に挿入された他の相補トランジスタ。ゲートと、前記二つの相補トランジスタ。ゲートの間を結ぶ信号線と特定電位供給端子間に挿入され、前記二つの相補トランジスタ。ゲートの導通・非導通を制御する制御信号によって前記相補トランジスタ。ゲートの非導通時に導通となるよう制御されるスイッチ素子とを含む保護装置を有することを特徴とする相補型アナログスイッチ。

3. 発明の詳細な説明

抗による保護装置等(図示しない)がつけられていた。

第5図は第4図に示した従来のマルチブレクサにおけるスイッチを基板回路上に実現した場合の一例を示した模式図である。

p型の集積回路基板3上に設けられたロウェル151にpMOS FETスイッチ150が形成され、また基板3上にnMOS FETスイッチ160が形成されている。

ここで制御信号180が高レベルとなり、pMOS FETスイッチ150、nMOS FET160がオフし、アナログ信号入出力端子10と共通端子1との間に非接続状態になり、制御信号280が低レベルとなり、pMOS FETスイッチ250、nMOS FET260がオンし、アナログ信号入力端子20と共通端子1との間に接続状態となっている場合に、アナログ信号入力端子10に負の過大入力信号が雜音等として印加されたとする。pMOS FETスイッチ150においてはソース電圧152に負の過大入力信号が印加さ

れ、この場合はゲート電圧155は底レベルとなっているためpMOS FETスイッチ150はオンしないが、一万nMOS FETスイッチ160においては、ソース電圧161に負の過大入力信号が印加されるとp型基板3と樹木方向接合が形成され印加された負信号により一部の電流はp型基板接地点4から電流が流れれる。またゲート電圧163は底レベルつまり保護接地電位にありnMOS FETスイッチ160のゲート。ソース間電圧Vgsがしきい電圧Vthよりも小さかったためオフしていたのが、ソース電圧161が負の電位となるために、ゲート電圧が保護接地電位にもかかわらずVgsがVthより大きくなつて、nMOS FETスイッチ160がオンしてしまいこの負の過大入力信号が共通端子1へ到達してしまい共通端子1の電位に悪影響を与えててしまう。一方アナログ信号入力端子10に正の過大入力信号が印加された場合は、上述とは全く逆にpMOS FETスイッチ150がオンしてしまい同様に共通端子1に悪影響を与えてしまつていていた。

〔発明が解決しようとする課題〕

上述した従来のCMOSアナログスイッチは、アナログ信号入出力端子と共通端子という2つのアナログ信号端子の間にCMOSゲートが挿入されているだけであるので、アナログ信号入出力端子に加わる過大電圧により誤動作する場合が生じるという欠点があった。

本発明の目的は、過大電圧による誤動作を防止する保護装置を備えた相補型アナログスイッチを提供することにある。

〔課題を解決するための手段〕

本発明の相補型アナログスイッチは、少なくとも1つのアナログ信号端子と他のアナログ信号端子との間にそれぞれ挿入された相補トランジスタ・ゲートを備えてなる相補型アナログスイッチにおいて、前記相補トランジスタ・ゲートと直列に挿入された他の相補トランジスタ・ゲートと、前記二つの相補トランジスタ・ゲートの間を結ぶ信号線と特定電位供給端子間に挿入され前記二つの相補トランジスタ・ゲートの導通・非導通を制御

する制御信号によって前記相補トランジスタ・ゲートの非導通時に導通となるよう制御されるスイッチ素子とを含む保護装置を有するというものである。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の第1の実施例の回路図である。

アナログ信号入出力端子10、20…は本発明の保護装置100、200、…の第1の端子101、201、…に接続され、保護されるMOS FETスイッチ(150、160)、(250、260)…はそれぞれソース電極同士およびドレン電極同士に共通に接続されてCMOSゲートを構成し、その共通ソース電極が保護装置100、200、…の第2の端子102、202、…に接続されている。保護されるスイッチのうちpMOS FETスイッチ150、250、…のゲート電圧はそれぞれ制御信号線180、280…に接続され、nMOS FETスイッチ160、260、…のゲート電圧は、それぞれ制御信号線180、280、

…の反転信号を作るインバータ 170, 270。…を介して、制御信号 190, 290。…が接続されている。保護装置 100, 200。…を構成している pMOS FET スイッチ 110, 210。…のゲート電極は制御信号線 180, 280。…に接続されており、nMOS FET スイッチ 120, 220。…のゲート電極には制御信号線 190, 290。…に接続されており、これら pMOS FET スイッチ 110, 210。…のソース電極は、nMOS FET スイッチ 120, 220。…のソース電極にそれぞれ接続され保護装置 100, 200。…の第 1 の端子 101, 201。…に接続されている。また pMOS FET スイッチ 110, 210。…のドレイン電極は、nMOS FET スイッチ 120, 220。…のドレイン電極にそれぞれ接続され保護装置 100, 200。…の第 2 の端子 102, 202。…に接続されている。また保護装置 100, 200。…の第 3 の MOS FET スイッチである nMOS FET スイッチ (スイッチ端子) 130, 230。…は保護

装置 100, 200。…の第 2 の端子 102, 202。…と接地電位との間に接続されゲート電極がは制御信号線 180, 280。…に接続されている。また保護される MOS FET スイッチ対 (CMOS ゲート) (150, 160), (250, 260) …の共通電極はお互いに接続され、共通端子 1 (他のアナログ信号端子) に接続されている。

ここで CMOS ゲート (150, 160), (110, 120) は同時にオン／オフし、nMOS FET スイッチ 130 は CMOS ゲート (110, 120) と逆相でオン／オフする。したがって CMOS ゲート (150, 160) と (110, 120) がオフしている時には保護装置の第 2 の端子 102 は MOS FET スイッチ 130 がオンし低インピーダンスで接続されている。一方 CMOS ゲート (150, 160) と (110, 120) がオンしている時は nMOS FET スイッチ 130 はオフし、アナログ信号入出力端子 10 と共通端子 1 とが接続状態となっている。

第 2 図は保護装置を構成回路で実現した場合の

一例を示す模式図である。

今 CMOS ゲート (150, 160) がオフし、アナログ信号入出力端子 10 と共通端子 1 間に非接続状態にある時に、アナログ信号入出力端子 10 に正の過大入力信号が印加されたとする。pMOS FET スイッチ 110 のソース電極 112 と nMOS FET スイッチ 120 のソース電極 121 は共に大きな正電位へ引かれ、pMOS FET スイッチ 110 のノウェル 111 とソース電極 112 との間の PN 接合は順方向バイアスとなり、印加された大きな正信号により一部の電流はウェル接続点 114 へ電源電圧端子 VDD へ流れれる。また、pMOS FET 110 はゲート電極が端子 103 を介して電源電位にバイアスされ本来オフしているが、ソース電極 112 への大きな正信号によりゲートソース間電圧 VGS の絶対値が閾値電圧 VTR よりも大きくなり導通し、ドレイン電極 113 との間に電流経路が形成される。一方 nMOS FET スイッチ 120 においては pMOS FET スイッチ 110 とは導電型が異なるため一

切不具合は生じない。しかしここで MOS FET スイッチ対 (110, 120) の接続されている第 2 の端子 102 は、nMOS FET スイッチ 130 が導通状態となり接地端子に接続されているため、電位が上昇せず、MOS FET スイッチ対 (150, 160) はオフしたままとなり、この正の過大入力信号は共通端子 1 へ到達する事はなくなる。

一方アナログ入出力端子 10 に負の過大入力信号が印加された場合は、上述の説明とは逆に pMOS FET スイッチ 110 は一切不具合を生じないが、nMOS FET スイッチ 120 においてソース電極 121 と基板 3 との間で順方向バイアスとなり、一部電流が基板接地点 4 へ流れ、また nMOS FET スイッチ 120 が導通し、ソース電極 121 とドレイン電極 122 との間に電流経路が形成される。しかし nMOS FET スイッチ 130 により第 2 の端子 102 は低インピーダンスで接地されているため、MOS FET スイッチ対 (150, 160) はオフしたままとなり、この負の過大入力信号は共通端子 1 へ到達することはな

くなる。

ここで第2の端子102の電位は入力された過大入力信号をMOSFETスイッチ110又は120のオン抵抗とMOSFETスイッチ130のオン抵抗とで分圧したものとなるため、過大入力信号の電位の絶対値をVIN、pMOSFETスイッチ110がオンした時のオン抵抗をR110、nMOSFETスイッチ120がオンした時のオン抵抗をR120、またnMOSFETスイッチ130のオン抵抗をR130とすると、第2の端子102の電位V102は、

正の過大入力信号の場合、

$$V_{102} = V_{IN} \times R_{130} / (R_{110} + R_{130})$$

負の過大入力信号の場合、

$$V_{102} = -V_{IN} \times R_{130} / (R_{120} + R_{130})$$

となる。

従って、過大入力信号が印加された場合、それが正の過大入力信号あるいは負の過大入力信号のいずれであるにせよ、第2の端子102の電位V102が上述のように定まるのでnMOSFET

スイッチ130のオン抵抗が小さいと全く問題がない。

この第1の実施例では負の過大入力信号の場合より、正の過大入力信号の方がMOSFETスイッチ150または160のゲートソース間電圧VGSを小さくおさえられるので正の過大入力信号に対する保護効果は大きい。

第3図は本発明の第2の実施例の回路図である。第1図に示した第1の実施例とはほぼ同様な構成であるが、各保護装置100、200、…の第2の端子102、202…に接続されていたスイッチ端子が第1の実施例ではnMOSFETスイッチで保護端子との間を導通させていたが、本実施例ではpMOSFETスイッチ140、240、…を介して電源端子VDDに接続されている。

このように構成をすると、第1の実施例に準じた動作をするが、ただしこの場合は第1の実施例とは反対に正の過大入力信号の場合より負の過大入力信号の方がMOSFETスイッチ150または160のゲートソース間電圧VGSが小さくおさえ

がれないので負の過大入力信号に対する保護効果が大きい。

また、いくつかのアナログスイッチの一端が共通に接続されマルチプレクサを構成している場合も、選択されていない入出力端子に過大入力信号が印加されても選択されているスイッチへの影響は全くない。

以上説明した通り、特にサンプル・ホールド回路と組合わせて使用されるアナログスイッチ回路、あるいはマルチプレクサ回路と組合わせて使用されるアナログスイッチ回路として過大入力時の誤差発生を防止する大きな効果を示すものである。

尚入出力端子から保護装置に至る経路に電流制限抵抗を接続する等の公知の静的保護器と組合わせて使用してもよいことは当然である。

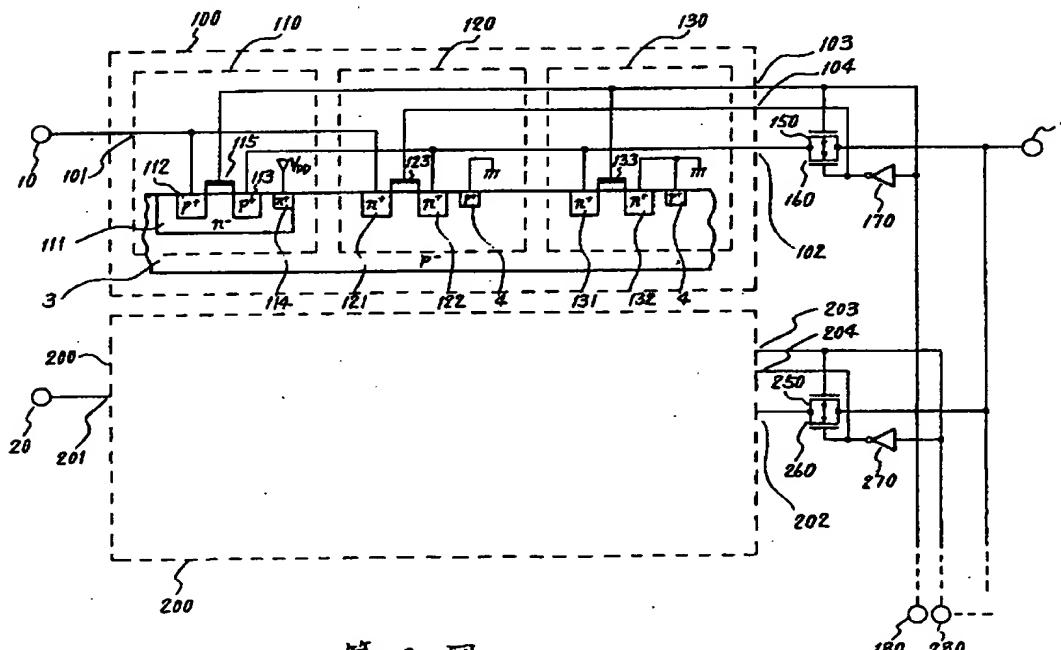
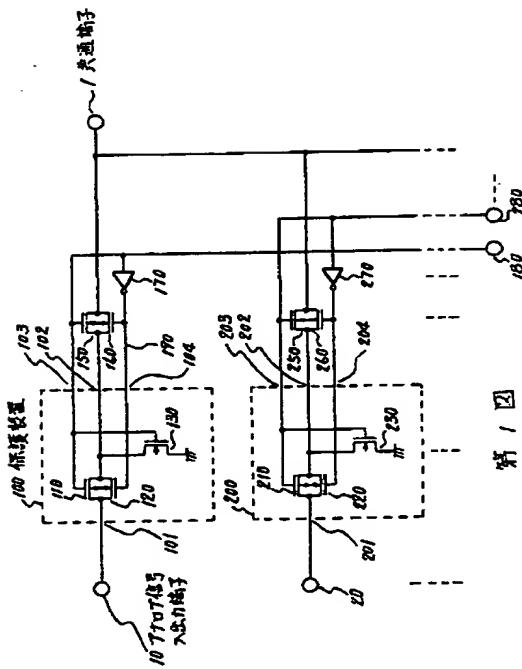
4. 図面の簡単な説明

第1図は本発明の第1の実施例の回路図、第2図は第1の実施例をトップレベルで説明するための模式図、第3図は本発明の第2の実施例の回路図、第4図は従来例の回路図、第5図は従来例を

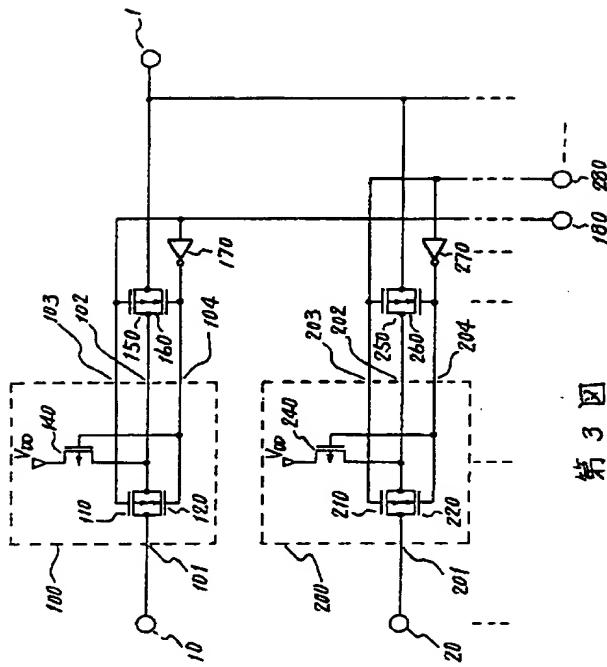
チャップレベルで説明するための模式図である。

1 ……共通端子、2 ……デコーダ、3 ……集積回路基板、4 ……基板接地点、10, 20, ……, n0 ……入出力端子、100, 200, ……保護装置、101, 201 ……第1の端子、102, 202 ……第2の端子、103, 104, 203, 204 ……端子、110, 140, 150, 210, 240, 250, ……n50 ……pMOS FETスイッチ、120, 130, 160, 220, 230, 260, ……n60 ……nMOS FETスイッチ、170, 270, ……n70 ……インバータ、180, 190, 280, 290, ……n80, n90 ……調節信号又は制御信号線、111, 151 ……ロウェル、112, 113, 121, 122, 131, 132, 152, 153, 161, 162 ……ソース又はドレイン電極、115, 123, 133, 155, 163 ……ゲート電極。

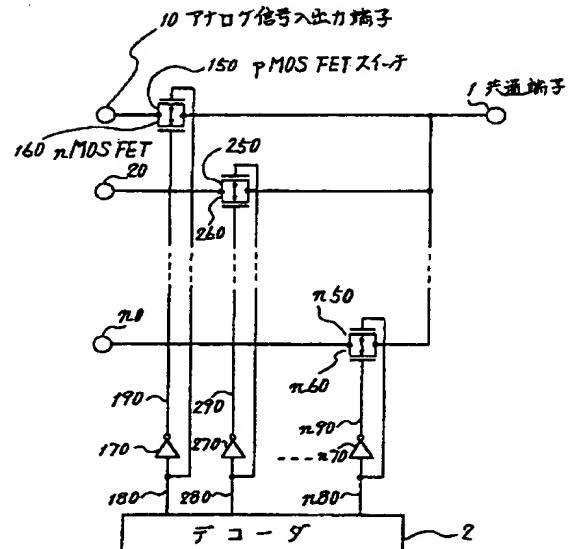
代理人 井堰士 内 马 普



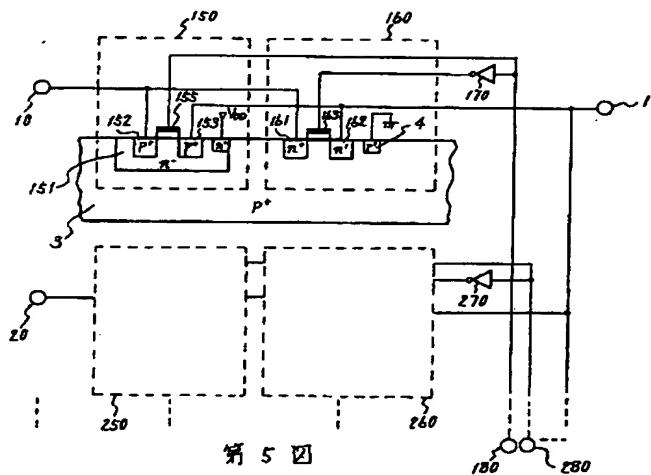
第 2 図



四三



第 4 図



第5圖